

DWPI

DERWENT-ACC-NO: 1998-244038
DERWENT-WEEK: 199822
COPYRIGHT 1999 DERWENT INFORMATION LTD
TITLE: Semiconductor device e.g. transistor with metallic gate
electrode - in
which first and second metal patterns bearing gate electrode are
laminated
sequentially over gate insulating film
PATENT-ASSIGNEE: SAMSUNG ELECTRONICS CO LTD[SMSU]
PRIORITY-DATA: 1995KR-0009451 (April 21, 1995)
PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	
PAGES	MAIN-IPC		
JP 08293604 A	November 5, 1996	N/A	008
H01L 029/78			

APPLICATION-DATA:	APPL-DESCRIPTOR	APPL-NO
PUB-NO		
APPL-DATE		1996JP-0013256
JP08293604A	N/A	
January 29, 1996		

INT-CL (IPC): H01L021/336; H01L029/78

ABSTRACTED-PUB-NO: JP08293604A

BASIC-ABSTRACT: The device includes a first electric conduction
type
semiconductor substrate (60) on whose main surface several field
oxide films

(62) for element isolation are formed. A gate insulating film
(64) is formed

on the substrate between field oxide films. A gate electrode
which includes a

first metal pattern (68a) and a second metal pattern (78) is
formed on the gate

insulating film. The first metal film pattern is formed from
nitrate metal.

The second metal film pattern has small specific resistance.

A spacer (76) is formed on both side attachment walls of the gate
electrode.

The spacer is made from an excellent substance film by which
etching selection

ratio for etching liquid, of the oxide film is carried out. A
source and drain

area (80) in which electrically conductive impurity is doped, is
formed on the

surface of substrate.

ADVANTAGE - Reduces resistance of wiring. Controls short channel
effect of
P-channel transistor. Obtains semiconductor device with high

integration

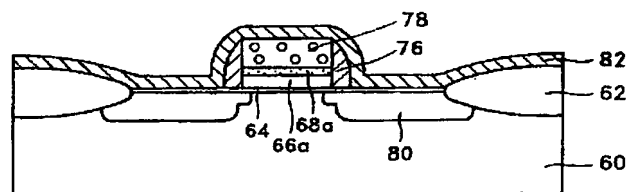
density.

CHOSEN-DRAWING: Dwg.2/11

DERWENT-CLASS: U11 U12

EPI-CODES: U11-C05D; U11-C05F1; U12-D02A;

(11)特許出願公開番号



【特許請求の範囲】

【請求項 1】 第 1 導電形の半導体基板と、
前記半導体基板の主表面の所定領域に素子分離のために
形成された複数のフィールド酸化膜と、
前記フィールド酸化膜の間の半導体基板上に形成された
ゲート絶縁膜と、
前記ゲート絶縁膜上の一部に窒化系金属よりなる第 1 金
属膜パターン、及び比抵抗が小さい第 2 金属膜パターン
が順次に積層された構造を有するゲート電極と、
前記ゲート電極の両側壁に酸化膜の蝕刻液に対する蝕刻
選択比が優秀な物質膜で形成されたスペーサと、
前記電極の両側の半導体基板の表面に前記第 1 導電形と
反対形の第 2 導電形不純物でドーピングされたソース/
ドレイン領域を含むことを特徴とするトランジスタ。

【請求項 2】 前記第 1 金属膜パターンは窒化タングス
テン、窒化チタン、及び窒化タンタルよりなるグループ
から選択された何れか一つで形成することを特徴とする
請求項 1 記載のトランジスタ。

【請求項 3】 前記第 2 金属膜パターンは金または銅で
形成することを特徴とする請求項 1 記載のトランジス
タ。

【請求項 4】 前記ゲート電極は前記第 1 金属膜パター
ンの下部にポリシリコン膜パターンをさらに具備するこ
とを特徴とする請求項 1 記載のトランジスタ。

【請求項 5】 前記スペーサはシリコン窒化膜、ポリシ
リコン膜、タンタル酸化膜 (Ta_2O_5) 及びチタン酸化膜
(TiO_2) よりなるグループから選択された何れか一つで
形成することを特徴とする請求項 1 記載のトランジス
タ。

【請求項 6】 第 1 導電形の半導体基板の主表面にフィ
ールド酸化膜を形成することにより、活性領域と非活性
領域を限定する段階と、
前記活性領域と前記非活性領域が限定された半導体基板
の全面にゲート絶縁膜、ポリシリコン膜、窒化系金属よ
りなる第 1 金属膜、及びキャッピング絶縁膜を順次に形
成する段階と、
前記キャッピング絶縁膜、前記第 1 金属膜、そして前記
ポリシリコン膜を連続的にパタニングして前記活性領域
上のゲート絶縁膜上の一部にポリシリコン膜パターン、
第 1 金属膜パターン、及びキャッピング絶縁膜パターン
が順次に積層されたゲートパターンを形成する段階と、
前記ゲートパターン及び前記フィールド酸化膜をイオン
注入マスクとして第 2 導電形の不純物を第 1 ドーズでイ
オン注入することにより、前記ゲートパターンの両側の
半導体基板の表面に第 2 導電形の低濃度ソース/ドレ
イン領域を形成する段階と、
前記ゲートパターンの両側壁に前記キャッピング絶縁膜
を蝕刻する溶液に対する蝕刻選択比が優秀な物質膜よ
りなるスペーサを形成した後、前記キャッピング絶縁膜パ
ターンを除去して前記第 1 金属膜パターンを露出させる

段階と、
前記露出された第 1 金属膜パターン上のみ比抵抗が小
さい第 2 金属膜パターンを選択的に形成して前記ポリシ
リコン膜パターン、前記第 1 金属膜パターン、そして前
記第 2 金属膜パターンよりなるゲート電極を形成する段
階を含むことを特徴とするトランジスタの製造方法。

【請求項 7】 前記ゲート電極を形成する段階の以降
に、前記ゲート電極、前記スペーサ、そして前記フィ
ールド酸化膜をイオン注入マスクとして第 2 導電形の不純
物を前記第 1 ドーズより多い第 2 ドーズでイオン注入す
ることにより前記ポリシリコン膜パターンの両側の半導
体基板の表面に前記スペーサの下に低濃度ソース/ドレ
イン領域を含む第 2 導電形のソース/ドレイン領域を形
成する段階をさらに具備することを特徴とする請求項 6
記載のトランジスタの製造方法。

【請求項 8】 前記キャッピング絶縁膜はプラズマ酸化
膜で形成することを特徴とする請求項 6 記載のトランジ
スタの製造方法。

【請求項 9】 前記第 1 金属膜は窒化チタン、窒化タン
グステン、及び窒化タンタルよりなるグループから選択
された何れか一つで形成することを特徴とする請求項 6
記載のトランジスタの製造方法。

【請求項 10】 前記第 2 金属膜パターンは金または銅
で形成することを特徴とする請求項 6 記載のトランジス
タの製造方法。

【請求項 11】 前記第 2 金属膜パターンはMOCVD 方法
による選択蒸着法で形成することを特徴とする請求項 6
記載のトランジスタの製造方法。

【請求項 12】 前記スペーサはシリコン窒化膜、ポリ
シリコン膜、タンタル酸化膜 (Ta_2O_5) 及びチタン酸化
膜 (TiO_2) よりなるグループから選択された何れか一つ
で形成することを特徴とする請求項 6 記載のトランジス
タの製造方法。

【請求項 13】 第 1 導電形の半導体基板の主表面にフ
ィールド酸化膜を形成することにより、活性領域と非活
性領域を限定する段階と、
前記活性領域と前記非活性領域が限定された半導体基板
の全面にゲート絶縁膜、窒化系金属よりなる第 1 金属
膜、及びキャッピング絶縁膜を順次に形成する段階と、
前記キャッピング絶縁膜と第 1 金属膜を連続的にパタニ
ングして前記活性領域上のゲート絶縁膜上の一部に第 1
金属膜パターンとキャッピング絶縁膜パターンが順次に
積層されたゲートパターンを形成する段階と、
前記ゲートパターン及び前記フィールド酸化膜をイオン
注入マスクとして第 2 導電形の不純物を前記第 1 ドーズ
でイオン注入することにより、前記ゲートパターンの両
側の半導体基板の表面に第 2 導電形の低濃度ソース/ド
レイン領域を形成する段階と、
前記ゲートパターンの両側壁に前記キャッピング絶縁膜
を蝕刻する溶液に対する蝕刻選択比が優秀な物質膜より

なるスペーサを形成した後、前記キャッピング絶縁膜パターンを除去して前記第1金属膜パターンを露出させる段階と、
前記露出された第1金属膜パターン上にもみ比抵抗が小さい第2金属膜パターンを選択的に形成して前記第1金属膜パターンと前記第2金属膜パターンよりなるゲート電極を形成する段階を含むことを特徴とするトランジスタの製造方法。

【請求項14】 前記ゲート電極を形成する段階の以降に、前記ゲート電極、前記スペーサ、そして前記フィールド酸化膜をイオン注入マスクとして第2導電形の不純物を前記第1ドーズより多い第2ドーズでイオン注入することにより、前記第1金属膜パターンの両側の半導体基板の表面に前記スペーサの下の高濃度ソース/ドレイン領域を含んで第2導電形のソース/ドレイン領域を形成する段階を含むことを特徴とする請求項13記載のトランジスタの製造方法。

【請求項15】 前記キャッピング絶縁膜はプラズマ酸化膜で形成することを特徴とする請求項13記載のトランジスタの製造方法。

【請求項16】 前記第1金属膜は窒化チタン、窒化タングステン、及び窒化タンタルよりなるグループから選択された何れか一つで形成することを特徴とする請求項13記載のトランジスタの製造方法。

【請求項17】 前記第2金属膜パターンは金または銅で形成することを特徴とする請求項13記載のトランジスタの製造方法。

【請求項18】 前記第2金属膜パターンはMOCVD方法による選択蒸着法で形成することを特徴とする請求項13記載のトランジスタの製造方法。

【請求項19】 前記スペーサはシリコン窒化膜、ポリシリコン膜、タンタル酸化膜(Ta_2O_5)及びチタン酸化膜(TiO_2)よりなるグループから選択された何れか一つで形成することを特徴とする請求項13記載のトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置のトランジスタ及びその製造方法に係り、特に金属ゲート電極を有するトランジスタ及びその製造方法に関する。

【0002】

【従来の技術】最近、半導体装置の高集積化及び高速化によって半導体装置の動作速度に重要な影響を与える配線の抵抗が重要に思われている。即ち、電気的信号の伝達時間は配線の抵抗(R)と配線周囲に寄生的に発生する静電容量(C)を掛けたRC時定数(time constant)に直接的に影響を受けるからである。

【0003】また、トランジスタの大きさが小さくなることによりそのチャンネルの長さも一緒に小さくなると、この際、PチャンネルトランジスタはNチャネ

ルトランジスタに比べて短いチャンネル効果がさらに深刻に発生する。これは、Pチャンネルトランジスタが埋立形チャンネルを有するからである。図1は従来の技術によって製造されたトランジスタ構造を示した断面図で、参照番号10は半導体基板、12は前記半導体基板10の所定領域に形成された複数のフィールド酸化膜、14は前記フィールド酸化膜12の間の半導体基板の表面に形成されたゲート酸化膜、16は前記ゲート酸化膜14の上に導電物質よりなるゲート電極、18は前記ゲート電極16の両側壁に酸化膜で形成されたスペーサ、20は前記ゲート電極16の両側の半導体基板の表面に不純物でドーピングされたソース/ドレイン領域、そして22は前記ゲート電極16、前記スペーサ18、前記ゲート酸化膜14、及び前記フィールド酸化膜12を覆う絶縁膜を示す。ここで、前記ゲート電極16はN形の不純物でドーピングされたポリシリコン膜またはタングステンポリサイド膜で形成する。

【0004】前述のように従来のトランジスタの構造によれば、ゲート電極がN形でドーピングされたポリシリコン膜またはタングステンポリサイド膜で形成されているので、通常の厚さ(2000~3000Å)を有するゲート電極は数十Ω/□または数百Ω/□の面抵抗を示す。そして前記ゲート電極は一般的に半導体装置の配線の一部に使用される。従って、動作速度が速い半導体装置を製作するためにはさらに小さい抵抗を有するゲート電極が必要である。また、N形の不純物でドーピングされたポリシリコン膜をゲート電極またはゲート電極の下部層として使用するのでPチャンネルトランジスタは埋立形チャンネル構造を有することになる。これは高集積化のためにチャンネルの長さを短く形成する場合、短いチャンネル効果が激しく発生してトランジスタの大きさを減らすのに制約を与える。

【0005】

【発明が解決しようとする課題】従って、本発明の第1目的はゲート電極の抵抗を減少させながらNチャンネルとPチャンネル共に表面形チャンネルを有するトランジスタを提供することにある。本発明の第2目的はゲート電極の抵抗を減少させるトランジスタを提供することにある。

【0006】本発明の第3目的は、前記第1目的を達成するに適切な製造方法を提供することにある。本発明の第4目的は、前記第2目的を達成するに適切な製造方法を提供することにある。

【0007】

【課題を解決するための手段】前記第1目的を達成するために本発明は、第1導電形の半導体基板と、前記半導体基板の主表面の所定領域に素子分離のために形成された複数のフィールド酸化膜と、前記フィールド酸化膜の間の半導体基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上の一部に窒化系金属よりなる第1金属膜パ

ターン、及び比抵抗が小さい第 2 金属膜パターンが順次に積層された構造を有するゲート電極と、前記ゲート電極の両側壁に酸化膜の蝕刻液に対する蝕刻選択比が優秀な物質膜で形成されたスペーサと、前記ゲート電極の両側の半導体基板の表面に前記第 1 導電形と反対形の第 2 導電形不純物でドーピングされたソース／ドレイン領域を含むことを特徴とするトランジスタを提供する。

【0008】前記第 2 目的を達成するために本発明は、前記ゲート電極が前記第 1 金属膜パターンの下部にポリシリコン膜パターンをさらに具備することを特徴とするトランジスタを提供する。前記第 3 目的を達成するために本発明は、第 1 導電形の半導体基板の主表面にフィールド酸化膜を形成することにより、活性領域と非活性領域を限定する段階と、前記活性領域と前記非活性領域が限定された半導体基板の全面にゲート絶縁膜、窒化系金属よりなる第 1 金属膜、及びキャッピング絶縁膜を順次に形成する段階と、前記キャッピング絶縁膜と前記第 1 金属膜を連続的にパタニングして前記活性領域上のゲート絶縁膜の一部に第 1 金属膜パターン、及びキャッピング絶縁膜パターンが順次に積層されたゲートパターンを形成する段階と、前記ゲートパターン及び前記フィールド酸化膜をイオン注入マスクとして第 2 導電形の不純物を前記第 1 ドーズでイオン注入することにより、前記ゲートパターンの両側の半導体基板の表面に第 2 導電形の低濃度ソース／ドレイン領域を形成する段階と、前記ゲートパターンの両側壁に前記キャッピング絶縁膜を蝕刻する溶液に対する蝕刻選択比が優秀な物質膜よりなるスペーサを形成した後、前記キャッピング絶縁膜パターンを除去して前記第 1 金属膜パターンを露出させる段階と、前記露出された第 1 金属膜パターン上にのみ比抵抗が小さい第 2 金属膜パターンを選択的に形成して前記第 1 金属膜パターンと前記第 2 金属膜パターンよりなるゲート電極を形成する段階を含むことを特徴とするトランジスタの製造方法を提供する。

【0009】前記第 4 目的を達成するために本発明は、第 1 導電形の半導体基板の主表面にフィールド酸化膜を形成することにより、活性領域と非活性領域を限定する段階と、前記活性領域と前記非活性領域が限定された半導体基板の全面にゲート絶縁膜、ポリシリコン膜、窒化系金属よりなる第 1 金属膜、及びキャッピング絶縁膜を順次に形成する段階と、前記キャッピング絶縁膜、前記第 1 金属膜、そして前記ポリシリコン膜を連続的にパタニングして前記活性領域上のゲート絶縁膜の一部にポリシリコン膜パターン、第 1 金属膜パターン及びキャッピング絶縁膜パターンが順次に積層されたゲートパターンを形成する段階と、前記ゲートパターン及び前記フィールド酸化膜をイオン注入マスクとして第 2 導電形の不純物を第 1 ドーズでイオン注入することにより、前記ゲートパターンの両側の半導体基板の表面に第 2 導電形の低濃度ソース／ドレイン領域を形成する段階と、前記ゲ

ートパターンの両側壁に前記キャッピング絶縁膜を蝕刻する溶液に対する蝕刻選択比が優秀な物質膜よりなるスペーサを形成した後、前記キャッピング絶縁膜パターンを除去して前記第 1 金属膜パターンを露出させる段階と、前記露出された第 1 金属膜パターン上にのみ比抵抗が小さい第 2 金属膜パターンを選択的に形成して前記ポリシリコン膜パターン、前記第 1 金属膜パターン、そして前記第 2 金属膜パターンよりなるゲート電極を形成する段階を含むことを特徴とするトランジスタの製造方法を提供する。

【0010】

【発明の実施の形態】まず、図 2 及び図 3 を参照して本発明の実施例によるトランジスタの構造を説明する。図 2 は本発明の第 1 実施例によるトランジスタの構造を示した断面図で、参照番号 60 は第 1 導電形の半導体基板、62 は前記半導体基板 60 の所定領域に形成された複数のフィールド酸化膜、64 は前記フィールド酸化膜 62 の間の半導体基板上に形成されたゲート絶縁膜、66a は前記ゲート絶縁膜 64 上の一部に形成された N 形の不純物でドーピングされたポリシリコン膜パターン、68a は前記ポリシリコン膜パターン 66a 上に形成された第 1 金属膜パターン、そして 78 は前記第 1 金属膜パターン 68a の上に形成された第 2 金属膜パターンを示す。ここで、前記第 1 金属膜パターン 68a は窒化タングステン、窒化チタン、そして窒化タンタルよりなるグループから選択されたいずれか一つで形成することが望ましく、前記第 2 金属膜パターン 78 は比抵抗が非常に低い金または銅で形成することが望ましい。

【0011】参照番号 76 は、前記ポリシリコン膜パターン 66a、前記第 1 金属膜パターン 68a、前記第 2 金属膜パターン 78 の側壁に酸化膜の蝕刻液に対する蝕刻選択比が優秀な物質膜、例えば、シリコン窒化膜、ポリシリコン膜、タンタル酸化膜 (Ta_2O_5) 及びチタン酸化膜 (TiO_2) よりなるグループから選択された何れか一つで形成されたスペーサ、80 は前記ポリシリコン膜パターン 66a 両側の半導体基板の表面に前記第 1 導電形と反対形の第 2 導電形の不純物でドーピングされて前記スペーサ 76 の下の低濃度の領域を含む第 2 導電形のソース／ドレイン領域、それから 82 は前記フィールド酸化膜 62、前記第 2 金属膜パターン 78、前記スペーサ 76、及び前記ゲート絶縁膜 64 を覆う層間絶縁膜を示す。

【0012】図 3 は本発明の第 2 実施例によるトランジスタの構造を示した断面図で、参照番号 30 は第 1 導電形の半導体基板、32 は前記半導体基板 30 の所定領域に形成された複数のフィールド酸化膜、34 は前記フィールド酸化膜 32 の間の半導体基板の表面に形成されたゲート絶縁膜、36a は前記ゲート絶縁膜 34 上の一部に形成された第 1 金属膜パターン、46 は前記第 1 金属膜パターン 36a 上に形成された第 2 金属膜パターン、

そして44は前記第1金属膜パターン36a及び前記第2金属膜パターン46の側壁に酸化膜の蝕刻溶液に対しした蝕刻選択比が優秀な物質膜、例えば、シリコン窒化膜、ポリシリコン膜、タンタル酸化膜(Ta_2O_5)及びチタン酸化膜(TiO_2)よりなるグループから選択された何れか1つで形成されたスペーサを示す。ここで、前記第1金属膜パターン36aは窒化タングステン、窒化チタン、そして窒化タンタルよりなるグループから選択された何れか一つで形成することが望ましく、前記第2金属膜パターン46は比抵抗が非常に低い金または銅で形成することが望ましい。

【0013】引き続き、参照番号48は前記第1金属膜パターン36aの両側の半導体基板の表面に前記第1導電形と反対形の第2導電形の不純物でドーピングされ、前記スペーサ44の下に低濃度の領域を含むソース／ドレイン領域を示し、50は前記フィールド酸化膜32、前記第2金属膜パターン46、前記スペーサ44、及び前記ゲート絶縁膜34を覆う層間絶縁膜を示す。

【0014】次に、本発明の望ましい実施例によるトランジスタ等を製造するための方法を添付した図面を参照して詳細に説明することにする。図4～図7は本発明による図2のトランジスタを形成する方法を説明するための断面図である。図4はポリシリコン膜66、第1金属膜68及びキャッピング絶縁膜70を形成する段階を示したもので、第1導電形の半導体基板60の所定領域に素子分離のためのフィールド酸化膜62を形成することにより、活性領域と非活性領域を限定する。次いで、前記活性領域上にゲート絶縁膜64、例えば、熱酸化膜を形成した後、前記ゲート絶縁膜64が形成された半導体全面にN形の不純物でドーピングされたポリシリコン膜66、第1金属膜68及びキャッピング絶縁膜70を順次に形成する。ここで、前記第1金属膜68は窒化タングステン膜、窒化チタン膜、及び窒化タンタルよりなるグループから選択された何れか一つで形成することが望ましく、前記キャッピング絶縁膜70はプラズマ酸化膜で形成することが望ましい。

【0015】図5はゲートパターン及び第2導電形の低濃度のソース／ドレイン領域72を形成する段階を示したもので、前記キャッピング絶縁膜70、前記第1金属膜68、前記ポリシリコン膜66をパタニングして前記ゲート絶縁膜64上の一部に前記ポリシリコン膜パターン66a、前記第1金属膜パターン68a及びキャッピング絶縁膜パターン70aが順次に積層されたゲートパターンを形成する、次に、前記ゲートパターン及び前記フィールド酸化膜62をイオン注入マスクとして前記ゲートパターンの両側の半導体基板の表面に前記第1導電形と反対形の第2導電形の不純物を第1ドーズでイオン注入することにより、第2導電形の低濃度ソース／ドレイン領域72を形成する。

【0016】図6はスペーサ76を形成する段階を示し

たものである。具体的に、前記低濃度ソース／ドレイン領域72が形成された半導体基板の全面に酸化膜の蝕刻溶液に対しした蝕刻選択比が優秀な物質膜、例えば、シリコン窒化膜、ポリシリコン膜、タンタル酸化膜(Ta_2O_5)及びチタン酸化膜(TiO_2)よりなるグループから選択された何れか1つを形成する。

【0017】次に前記物質膜を異方性蝕刻して前記ゲートパターンの側壁にスペーサ76を形成する。ついで、前記ゲートパターンを構成するキャッピング絶縁膜パターン70aを湿式蝕刻工程で除去して前記第1金属膜パターン68aが露出されるようにする。この際、プラズマ酸化膜で形成された前記キャッピング絶縁膜パターン70aの蝕刻率は熱酸化膜で形成された前記ゲート絶縁膜64の蝕刻率に比べて10倍以上速いので、前記窒化シリコン膜が異方性蝕刻されて露出された前記ゲート絶縁膜64が完全に除去されないように調節しうる。

【0018】図7はゲート電極、第2導電形のソース／ドレイン領域80、及び層間絶縁膜82を形成することにより、本発明による図2のトランジスタを完成する段階を示したものである。さらに具体的に、前記キャッピング絶縁膜パターン70aが除去されて露出された第1金属膜パターン68a上に金または銅をMOCVD方法で選択的に蒸着して第2金属膜パターン78を形成する。ここで、銅(Cu)を選択的に蒸着する場合にはウェーハの温度を約170℃で加熱した状態で(hfac)Cu(VTMS)を主原料で使用する。この際、前記第2金属膜パターン78は絶縁膜、例えばフィールド酸化膜62、ゲート絶縁膜64、または、スペーサ76の表面には形成されない。

【0019】次に、前記ゲート電極、前記スペーサ76、そして前記フィールド酸化膜62をマスクとして第2導電形の不純物を前記第1ドーズより多い第2ドーズでイオン注入することにより、前記ゲート電極の両側の半導体基板の表面に前記スペーサ76の下の低濃度ソース／ドレイン領域を含む第2導電形のソース／ドレイン領域80を形成する。次いで、前記ソース／ドレイン領域80が形成された半導体基板の全面に層間絶縁膜82を形成して本発明による図2のトランジスタを完成する。

【0020】図8～図11は本発明による図3のトランジスタを形成する方法を説明するための断面図である。図8は第1金属膜36とキャッピング絶縁膜38を形成する段階を示したもので、第1導電形の半導体基板30に素子分離のためのフィールド酸化膜32を形成することにより、活性領域と非活性領域を限定する。次いで、前記活性領域上にゲート絶縁膜34、例えば、熱酸化膜を形成した後、前記ゲート絶縁膜34が形成された半導体基板の全面に第1金属膜36とキャッピング絶縁膜38を順次に形成する。ここで、前記第1金属膜36は窒

化タングステン膜、窒化チタニウム膜、及び窒化タンタルよりなるグループから選択された何れか一つで形成し、前記キャッピング絶縁膜38はプラズマ酸化膜で形成する。

【0021】図9はゲートパターン及び第2導電形の低濃度ソース／ドレイン領域40を形成する段階を示したもので、前記キャッピング絶縁膜38と前記第1金属膜36をパタニングして前記ゲート絶縁膜34上の一部に第1金属膜パターン36aとキャッピング絶縁膜パターン38aが順次に積層されたゲートパターンを形成する。前記ゲートパターン及び前記フィールド酸化膜32をイオン注入マスクとして前記第1導電形と反対形の第2導電形の不純物を第1ドーズでイオン注入することにより、前記ゲートパターンの両側の半導体基板の表面に第2導電形の低濃度ソース／ドレイン領域40を形成する。

【0022】図10はスペーサ44を形成する段階を示したものである。具体的に、前記第2導電形の低濃度ソース／ドレイン領域40が形成された半導体基板の全面に酸化膜の蝕刻溶液に対する蝕刻選択比が優秀な物質膜、例えば、シリコン窒化膜、ポリシリコン膜、タンタル酸化膜(Ta_2O_5)及びチタン酸化膜(TiO_2)よりなるグループから選択された何れか1つを形成する。次に前記物質膜を異方性蝕刻して前記ゲートパターンの側壁にスペーサ44を形成する。ついで、前記ゲートパターンの上部層であるキャッピング絶縁膜パターン38aを湿式蝕刻工程で除去してその下の第1金属膜パターン36aが露出されるようにする。この際、プラズマ酸化膜で形成された前記キャッピング絶縁膜パターン38aの蝕刻率は熱酸化膜で形成された前記ゲート絶縁膜34の蝕刻率に比べて10倍以上速いので、前記窒化シリコン膜が異方性蝕刻されて露出されたゲート絶縁膜34が完全に除去されないように調節しうる。

【0023】図11はゲート電極、第2導電形のソース／ドレイン領域48、及び層間絶縁膜50を形成することにより、本発明による図3のトランジスタを完成する段階を示したものである。さらに具体的に、前記キャッピング絶縁膜パターン38aが除去されて露出された第1金属膜パターン36a上部に金または銅を選択的に蒸着して第2金属膜パターン46を形成する。ここで、前記第2金属膜パターン46を形成するために金または銅を選択的に蒸着する方法は前記図7に説明した第2金属膜パターン78を形成する方法と同一である。

【0024】次に、前記ゲート電極、前記スペーサ44、そして前記フィールド酸化膜32をマスクとして第2導電形の不純物を前記第1ドーズより多い第2ドーズでイオン注入することにより、前記第1金属膜パターン36aの両側の半導体基板の表面に前記スペーサ44の下の低濃度ソース／ドレイン領域を含む第2導電形のソース／ドレイン領域48を形成する。次いで、前記ソー

ス／ドレイン領域48が形成された半導体基板の全面に層間絶縁膜50を形成して本発明による図3のトランジスタを完成する。

【0025】

【発明の効果】前述した本発明の実施例等によれば、ゲート電極を比抵抗が非常に低い金または銅を含む多層の金属膜で形成することにより、ゲート電極よりなる配線の抵抗を大きく減らすことが出来る。従って、配線の抵抗(R)と静電容量(C)の掛け算である時定数と係っている電気信号の遅延時間を小さくして半導体装置の動作速度を速くしうる。やはり、図3に示されたように、ゲート絶縁層と接触する第1金属膜を窒化系金属、例えば、窒化タングステン、窒化チタニウム、及び窒化タンタルよりなるグループから選択された何れか一つで形成することにより、全て表面チャンネルを有するNチャンネルトランジスタ及びPチャンネルトランジスタを形成しうる。従って、Pチャンネルトランジスタの場合に短いチャンネル効果を大きく抑制させることができ、その大きさを従来の埋立形チャンネルを有するPチャンネルトランジスタよりさらに小さく形成しうる。これは、半導体装置の集積度を増加させようようにする。

【0026】本発明が前記実施例に限定されなく、多くの変形が本発明の技術的思想内で当分野で通常の知識を有する者により可能であることは明白である。

【図面の簡単な説明】

【図1】従来の技術により製造されたトランジスタを示す断面図である。

【図2】本発明の第1実施例によるトランジスタを示す断面図である。

【図3】本発明の第2実施例によるトランジスタを示す断面図である。

【図4】図2に示すトランジスタの製造方法を説明するための断面図である。

【図5】図2に示すトランジスタの製造方法を説明するための断面図である。

【図6】図2に示すトランジスタの製造方法を説明するための断面図である。

【図7】図2に示すトランジスタの製造方法を説明するための断面図である。

【図8】図3に示すトランジスタの製造方法を説明するための断面図である。

【図9】図3に示すトランジスタの製造方法を説明するための断面図である。

【図10】図3に示すトランジスタの製造方法を説明するための断面図である。

【図11】図3に示すトランジスタの製造方法を説明するための断面図である。

【符号の説明】

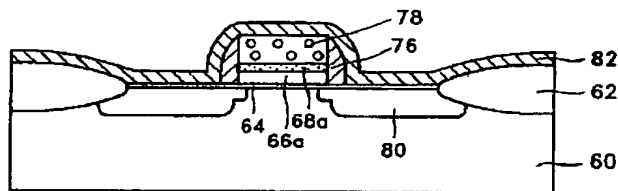
30、60 半導体基板

32、62 フィールド酸化膜

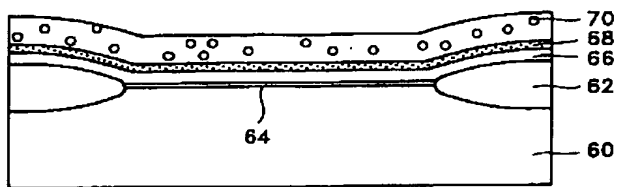
12

* 38、70	キャッピング絶縁膜
38a、70a	キャッピング絶縁膜パターン
44、76	スペーサ
46、78	第2金属膜パターン
48、80	ソース／ドレイン領域

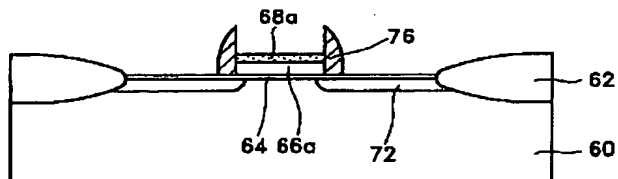
【図 2】



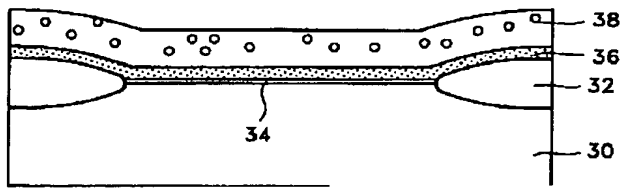
【図 4】



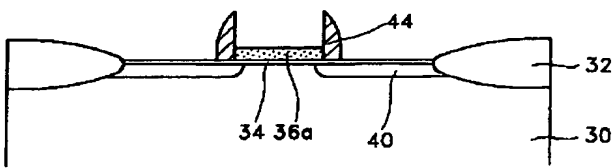
【図 6】



【図 8】



【図 10】



【図 11】

